

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245484

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl.<sup>a</sup>

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

Q 6921-4E

N 6921-4E

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平6-60291

(22) 出願日 平成6年(1994)3月4日

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 川村 洋一郎

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

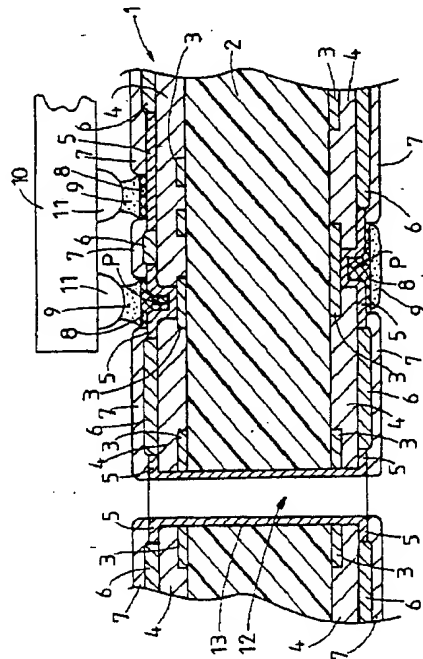
(74) 代理人 弁理士 山中 郁生 (外2名)

(54) 【発明の名称】 ICチップを搭載した多層プリント配線板及びそのための多層プリント配線板の製造方法

(57) 【要約】

【目的】 複数の回路パターンを相互に接続する際に層間絶縁層に形成されるフォトビヤホールを利用してICチップを搭載可能とすることにより、回路パターンの高密度化を行なうことができるICチップを搭載した多層プリント配線板及びその多層プリント配線板の製造方法を提供する。

【構成】 フォトビヤホールP内に、ベース基材2上に形成された第1回路パターン3と接続された第2回路パターン5を形成するとともに、フォトビヤホールP内で第2回路パターン5上に半田ペーストSPを塗布形成した後固化してなる第1半田層8とICチップ10の半田パンプ11とを、第2半田層9の半田熔融処理を介して相互に接続することによりICチップ10を多層プリント配線板1上に搭載するように構成する。



## 【特許請求の範囲】

【請求項1】 ベース基材の一面に形成された第1回路パターンと、第1回路パターンが形成されたベース基材面に形成された層間絶縁層と、第1回路パターンと対向する位置にて第1回路パターンが露出するように層間絶縁層に形成されたビアホールと、ビアホールを含めて層間絶縁層上に形成された第2回路パターンとを有し、第1回路パターンと第2回路パターンとはビアホールを介して相互に接続された多層プリント配線板において、前記第2回路パターン上でビアホールに充填された第1半田層と、前記第1半田層上に形成された第2半田層と、下面にバンプを形成したICチップとを備え、前記第1半田層と前記バンプとが前記第2半田層により相互に接続されたことを特徴とするICチップを搭載した多層プリント配線板。

【請求項2】 ベース基材の一面に第1回路パターンを形成する第1工程と、第1回路パターンが形成されたベース基材面で第1回路パターンと対向する位置にビアホールが形成された層間絶縁層を形成する第2工程と、ビアホールを含めて層間絶縁層上に第2回路パターンを形成する第3工程と、ビアホール内を充填する第1半田層を形成する第4工程と、前記第1半田層上に第2半田層を形成する第5工程とからなる多層プリント配線板の製造方法。

【請求項3】 前記第1半田層の溶融温度は前記第2半田層の溶融温度よりも高いことを特徴とする請求項1記載のICチップを搭載した多層プリント配線板。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、層間絶縁層を介して多層に渡って複数の回路パターンが形成されるとともに、最上の回路パターン上にメモリチップ等のICチップを搭載した多層プリント配線板に関し、特に、複数の回路パターンを相互に接続する際に層間絶縁層に形成される有底孔状のビアホールを利用してICチップを搭載することにより、回路パターンの高密度化を可能とする多層プリント配線板及びその製造方法に関するものである。

【0002】

【従来の技術】近年、各種のICチップを備えたプリント配線板が搭載される各種電子機器の複雑化、高度化等に伴ってプリント配線板の高密度化が推進されている。かかるプリント配線板の高密度化を指向しつつICチップを効率良く搭載することを考えた場合、ベース基材上において層間絶縁層に形成された有底孔状のビアホールを介して複数の回路パターンを相互に接続した多層プリント配線板においては、ビアホール部分を利用してICチップを搭載することが望ましいものではある。

【0003】しかし、ビアホール部分を利用してICチ

ップを搭載するについて、従来においては、ICチップの下面に形成された複数のバンプが接続される回路パターンのビアホール部分と他の回路パターンとの上面に、電解法や無電解法を介して半田のメッキ層を形成して、その半田メッキ層とICチップのバンプとを相互に接続することとなる。

【0004】このとき、ICチップを水平に、且つ、確実に多層プリント配線板上に搭載するためには、ビアホール部分は凹状に形成されていることから、ビアホール部分に形成されるメッキ層の厚さと他の回路パターン上に形成されるメッキ層の厚さとを相互に変えてメッキ層を形成する必要がある。具体的には、ビアホール部分に形成されるメッキ層の厚さは、他の回路パターン上に形成されるメッキ層の厚さよりも大きくなるようにメッキ層を形成する必要があることとなる。

【0005】しかしながら、電解法や無電解法により半田メッキ層を形成する場合、半田メッキ層は、回路パターンのビアホール部分と他の回路パターンとにおいて一律に形成されていき、前記のようにメッキ層が形成される部分に応じてメッキ層の厚さをコントロールすることは殆ど不可能なものである。そこで、従来における多層プリント配線板では、多層プリント配線板における最上の回路パターンからICチップのバンプを接続するための回路パターン（接続パッド）を別個に形成し、その形成した接続パッドとICチップのバンプとを相互に接続するようにしている。

【0006】

【発明が解決しようとする課題】しかしながら、前記のように多層プリント配線板上にICチップを搭載するために回路パターンからICチップ接続用の接続パッドを別個に形成する場合には、近年指向されているプリント配線板の高密度化に逆行することとなり、従って、多層プリント配線板の高密度化を更に推進することが極めて困難になるという問題がある。

【0007】本発明は前記従来の問題点を解消するためになされたものであり、複数の回路パターンを相互に接続する際に層間絶縁層に形成されるビアホールを利用してICチップを搭載可能とすることにより、回路パターンの高密度化を行なうことができるICチップを搭載した多層プリント配線板及びその多層プリント配線板の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記目的を達成するため本発明に係る多層プリント配線板は、ベース基材の一面に形成された第1回路パターンと、第1回路パターンが形成されたベース基材面に形成された層間絶縁層と、第1回路パターンと対向する位置にて第1回路パターンが露出するように層間絶縁層に形成されたビアホールと、ビアホールを含めて層間絶縁層上に形成された第2回路パターンとを有し、第1回路パターンと第2回路パター

ンとはビアホールを介して相互に接続された多層プリント配線板において、前記第2回路パターン上でビアホールに充填された第1半田層と、前記第1半田層上に形成された第2半田層と、下面にパンプを形成したICチップとを備え、前記第1半田層と前記パンプとが前記第2半田層により相互に接続された構成を有する。

【0009】また、本発明に係る多層プリント配線板の製造方法は、ベース基材の一面に第1回路パターンを形成する第1工程と、第1回路パターンが形成されたベース基材面で第1回路パターンと対向する位置にビアホールが形成された層間絶縁層を形成する第2工程と、ビアホールを含めて層間絶縁層上に第2回路パターンを形成する第3工程と、ビアホール内を充填する第1半田層を形成する第4工程と、前記第1半田層上に第2半田層を形成する第5工程とからなる構成とされる。更に、前記第1半田層の溶融温度は前記第2半田層の溶融温度よりも高い温度とされている

【0010】

【作用】前記構成を有する本発明に係る製造方法において製造された多層プリント配線板では、ビアホール内に第1半田層が充填されているので、層間絶縁層上に形成された第2回路パターンと同等の高さとすることができ、すなわち、ICチップのパンプとの接続部分となる第1半田層表面の高さは、ビアホール部や非ビアホール部の区別無く同等の高さとなるのであり、その結果、ICチップの実装が極めて良好に行なうことができるのである。さらに、第1半田層上に形成された第2半田層の溶融によって、第1半田層とICチップのパンプとを、相互に接続することによりICチップが多層プリント配線板上に接続されることとなり、これによりビアホール部分を利用してICチップを確実に搭載することが可能となるものである。従って、従来のプリント配線板におけるようにICチップを接続搭載するための回路パターン（接続パッド）を別個に形成することなく、回路パターンの高密度化が図られ得るものである。

【0011】このとき、第1半田層の溶融温度は前記第2半田層の溶融温度よりも高い温度とされているので、第2半田層の半田溶融処理を行なってICチップのパンプと第1半田層とを接続するに際しては、第1半田層と第2半田層との間に温度階層が設けられることとなり、従って、第2半田層の溶融時に第1半田層が溶融されることを防止してICチップのパンプが第1半田層内（特に、ビアホール部分）に沈み込んで傾いた状態で多層プリント配線板上に搭載されることはない。

【0012】

【実施例】以下、本発明を具体化した一実施例に基づいて図面を参照しつつ詳細に説明する。先ず、本発明に係る多層プリント配線板の構成について図1に基づき説明する。図1は多層プリント配線板の模式断面図である。図1において、多層プリント配線板1は、紙フェノー

ル、各種セラミックス、ガラス・エポキシ樹脂等からなるベース基材2を有し、かかるベース基材2の上下両面には銅箔やメッキにより第1回路パターン3が形成されている。また、各第1回路パターン3を被覆絶縁すべく、ベース基材1の両面には感光性樹脂組成物を塗布・乾燥・露光・現像してなる層間絶縁層4が形成され、また、かかる各層間絶縁層4上には、回路パターンを形成する必要のない部分にメッキレジスト膜6を形成した後、無電解銅メッキを行なうことにより第2回路パターン5が形成されている。

【0013】このとき、多層プリント配線板1の上下面において、図1に示すように、所謂フォトビアホールPが、前記第1回路パターン3と対向する位置にてその第1回路パターン3が露出するように形成されており、かかるフォトビアホールP内で前記のように形成された第2回路パターン5と下方に位置する第1回路パターン3とは相互に接続されている。尚、層間絶縁層4にフォトビアホールPを形成する方法、及び、フォトビアホールPに第2回路パターン5を形成して第1回路パターン3と接続する方法については後述する。

【0014】また、第2回路パターン5の内半田が付着してはならない部分、具体的には、図1に示すように、フォトビアホールPに形成された第2回路パターン5部分、及び、第2回路パターン5の一部（図1中フォトビアホールPの右方側に存在する一部）を除いた第2回路パターン5、メッキレジスト膜6上に、ソルダーレジスト膜7が形成され、ソルダーレジスト膜7により被覆されていないフォトビアホールPに形成された第2回路パターン5、及び、その右方側に位置する第2回路パターン5の一部に半田ペーストSP（後述する）が塗布形成された後、リフロー処理を行なうことにより半田ペーストSPを固化して第1半田層8が形成されている。

【0015】ここに、半田ペーストSPとしては、錫（S.）と鉛（P.）との混合比が9：1である、所謂、9・1半田（溶融温度は220℃）が使用される。また、半田ペーストSPを塗布形成する場合、半田ペーストSP中に含有される半田粒子の粒径がフォトビアホールPの凹部よりも小さい大きさのものを使用することにより、半田ペーストSPをフォトビアホールP内に充填しつつ、フォトビアホールPの第2回路パターン5上に塗布される半田ペーストSPの上面とその右方側の第2回路パターン5上に塗布される半田ペーストSPの上面とをほぼ同一面とすることが可能である。

【0016】更に、各第1半田層8上には半田メッキを行なうことにより第2半田層9が設けられており、かかる各第2半田層9に対してICチップ10の下面に形成されたパンプ11を位置決めした後、各第2半田層9の半田溶融処理が行なわれてICチップ10が多層プリント配線板1の第2回路パターン5における所定位置に搭載されている。

【0017】ここに、前記半田メッキを介して各第1半田層8上に第2半田層9を設けるに際しては、錫(S.)と鉛(P.)との混合比が6:4である、所謂、6・4半田(熔融温度は183℃)が使用される。従って、半田熔融処理を介して第2半田層9を熔融することにより、ICチップ10の bumps 11を第1半田層8に接続する場合、第1半田層8の形成に使用される半田は、前記のように熔融温度の高い9:1半田が使用され、また、第2半田層9の形成に使用される半田は、前記のように熔融温度の低い6:4半田が使用されていることから、第1半田層8と第2半田層9との間に温度階層を設けることができ、これにより第2半田層9の半田熔融処理時に第1半田層8が熔融軟化されることを防止してICチップ10の bumps 11が第1半田層8内に沈み込んで傾いてしまうことを確実に防止することができるものである。

【0018】また、多層プリント配線板1には、前記のように形成された第1回路パターン3及び第2回路パターン5の内、所定位置(図1中左側位置)に存在する上下の各第1回路パターン3、第2回路パターン5を貫通してスルーホール12が穿設されており、このスルーホール12の内壁には、無電解銅メッキにより第2回路パターン5を形成する際に形成されたスルーホールメッキ層13が存在している。かかるスルーホールメッキ層13を介して、各第1回路パターン3と第2回路パターン5の相互が接続されるものである。

【0019】以上詳細に説明した通り本実施例に係る多層プリント配線板1では、フォトビアホールP内に、ベース基材2上に形成された第1回路パターン3と接続された第2回路パターン5を形成するとともに、フォトビアホールP内で第2回路パターン5上に半田ペーストSPを塗布形成した後固化してなる第1半田層8とICチップ10の bumps 11とを、第2半田層9の半田熔融処理を介して相互に接続することによりICチップ10を多層プリント配線板1上に搭載するように構成したので、フォトビアホールP部分を利用してICチップ10を搭載することができる。

【0020】これにより、従来のプリント配線板におけるようにICチップ10を接続搭載するための回路パターン(接続パッド)を別個に形成することなく、回路パターンの高密度化を図ることができるものである。

【0021】また、第1半田層8を形成する半田として錫(S.)と鉛(P.)との混合比が9:1である、所謂、9・1半田(熔融温度は220℃)を使用するとともに、第1半田層8上に第2半田層9を形成する半田として錫(S.)と鉛(P.)との混合比が6:4である、所謂、6・4半田(熔融温度は183℃)を使用したため、半田熔融処理を介して第2半田層9を熔融することにより、ICチップ10の bumps 11を第1半田層8に接続する場合、第1半田層8と第2半田層9との間

に温度階層を設けることができ、これにより第2半田層9の半田熔融処理時に第1半田層8が熔融されることを確実に防止してICチップ10の bumps 11が第1半田層8内に沈み込んで傾いてしまうことを確実に防止することができるものである。

【0022】続いて、前記のように構成される多層プリント配線板1の製造方法について図2乃至図13に基づき説明する。ここに、図2はベース基材2を示す説明図、図3は第1回路パターン3を形成するためのメッキレジスト膜をベース基材2上に塗布形成した状態を示す説明図、図4は第1回路パターン3を形成した状態を示す説明図、図5は第1回路パターン3が形成された基材2上に層間絶縁層4を形成した状態を示す説明図、図6は層間絶縁層4にフォトビアホールPを形成した状態を示す説明図、図7はスルーホール12を形成した状態を示す説明図、図8は第2回路パターン5を形成するためのメッキレジスト膜6を形成した状態を示す説明図、図9は第2回路パターン5を形成した状態を示す説明図、図10はソルダーレジスト膜7を形成した状態を示す説明図、図11は半田ペーストSPを塗布形成した状態を示す説明図、図12は半田ペーストSPを固化して第1半田層8を形成した後半田メッキにより第2半田層9を形成した状態を示す説明図、図13は半田熔融処理を行なって第2半田層9を熔融してICチップ10の bumps 11と第1半田層8とを接続した状態を示す説明図である。

【0023】多層プリント配線板1を製造するには、先ず、図2に示すように、ベース基材2の材料となる積層板を所定寸法に裁断してベース基材2を用意した後、ベース基材2の両面の粗化处理、触媒活性化処理を行なう。この後、第1回路パターン3を形成すべき部分を除いてベース基材2の両面にメッキレジスト膜20を形成する。この状態が図3に示されている。そして、無電解銅メッキを行なうことにより、メッキレジスト膜20に被覆されていない部分に第1回路パターン3を形成する。この状態が図4に示されている。

【0024】また、前記のように第1回路パターン3を形成した後、メッキレジスト膜20を除去し、ベース基材2の両面に感光性樹脂組成物を塗布・乾燥して層間絶縁層4を形成する。この状態が図5に示されている。更に、所定の露光マスクを介して露光し、次いで現像し、その第1回路パターン3が露出するようにフォトビアホールPを形成する。この状態が図6に示されている。

【0025】続いて、前記のように各処理が行なわれたベース基材2の粗化处理を行なうとともに、所定の第1回路パターン3を貫通してスルーホール12が穿設される。この状態が図7に示されている。この後、無電解銅メッキを介して第2回路パターン5を形成するため、ベース基材2の触媒活性化処理を行い、更に、第2回路パターン5を形成する必要のない部分にメッキレジスト膜

6を形成する。この状態が図8に示されている。そして、無電解銅メッキを行なうことにより、メッキレジスト膜6に被覆されていない部分に第2回路パターン5の形成を行なう。この状態が図9に示されている。これにより、フォトビアホールPの内部に第2回路パターン5形成されるとともに、かかる第2回路パターン5と第1回路パターン3とはフォトビアホールP部分において相互に接続される。また、スルーホール12内にもスルーホールメッキ層13が形成され、かかるスルーホールメッキ層13を介して各第1回路パターン3、第2回路パ

ターン5は相互に接続されることとなる。  
 【0026】前記に続いて、フォトビアホールPの第2回路パターン5部分を除いてソルダーレジスト膜7が形成される。この状態が図10に示されている。この後、ソルダーレジスト膜7に被覆されていない第2回路パターン5上に半田ペーストSPが塗布される。このとき、半田ペーストSPとしては、前記したように、錫(S)と鉛(P)との混合比が9:1である、所謂、9・1半田(熔融温度は220℃)が使用される。また、各フォトビアホールPの第2回路パターン5上に塗布形成された半田ペーストSPの上面はほぼ同一面となる。この後、各半田ペーストSPについてリフロー処理が行なわれ、各半田ペーストSPが固化される。これにより、各半田ペーストSPは第1半田層8となる。この状態が図11に示されている。

【0027】そして、前記のように各フォトビアホールP内の第2回路パターン5上に第1半田層8が形成された後、半田メッキを行なうことにより各第1半田層8上に第2半田層9が形成される。この状態が図12に示されている。このとき、半田メッキにより第2半田層9を形成するについては、錫(S)と鉛(P)との混合比が6:4である、所謂、6・4半田(熔融温度は183℃)が使用される。かかる6・4半田は前記第1半田層8を形成する際に使用した9・1半田よりも熔融温度が低い。これは、次の半田熔融処理を行なう場合に、第1半田層8と第2半田層9との間に温度階層を設けることにより、ICチップ10の半田パンプ11が傾斜して接続されるのを防止するためである。

【0028】この後、ICチップ10の下面に形成された各パンプ11と第2半田層9とを位置決めし、半田熔融処理が行なわれる。かかる半田熔融処理を介して各第2半田層9が熔融され、ICチップ10の各パンプ11と各第1半田層8との接続が行なわれる。この状態が図13に示されている。このとき、前記のように、第1半田層8を構成する半田(9・1半田)と第2半田層9を構成する半田(6・4半田)との間には温度階層が設けられており、第1半田層8は第2半田層9よりも熔融し難いことから、第2半田層9が熔融された時点では第1半田層8は固化された状態を保持することとなる。従って、ICチップ10の各パンプ11が第1半田層8の

内方に沈み込むことは確実に防止され得、この結果、ICチップ10が傾斜したまま接続されることは全くないものである。

【0029】前記した各処理を行なうことによりICチップ10を搭載した多層プリント配線板1が製造されるものである。かかるプリント配線板1においては、ICチップ11はフォトビアホールP内に形成された第2回路パターン5を利用してプリント配線板1上に搭載され得、これにより従来のプリント配線板におけるのとは異なり、ICチップ10を搭載するための回路パターン(接続パッド)を別個に形成することなく、多層プリント配線板1上にICチップ10を搭載することができ

る。  
 【0030】以上詳細に説明した通り本実施例に係る多層プリント配線板1の製造方法においては、フォトビアホールPを介して第1回路パターン3と接続する第2回路パターン5を形成し、更に、フォトビアホールP内で第2回路パターン5上に半田ペーストSPを塗布形成した後固化してなる第1半田層8とICチップ10の半田パンプ11とを、第2半田層9の半田熔融処理を介して相互に接続することによりICチップ10を多層プリント配線板1上に搭載するように構成したので、フォトビアホールP部分を利用してICチップ10を搭載可能な多層プリント配線板1を実現することができる。

【0031】これにより、本実施例の製造方法によれば、従来のプリント配線板におけるようにICチップ10を接続搭載するための回路パターン(接続パッド)を別個に形成することなく、回路パターンの高密度化を図ることが可能な多層プリント配線板1を提供することができる。

【0032】また、第1半田層8を形成する半田として錫(S)と鉛(P)との混合比が9:1である、所謂、9・1半田(熔融温度は220℃)を使用するとともに、第1半田層8上に第2半田層9を形成する半田として錫(S)と鉛(P)との混合比が6:4である、所謂、6・4半田(熔融温度は183℃)を使用し、第1半田層8と第2半田層9との間に温度階層を設けつつ、半田熔融処理を介して第2半田層9を熔融することによりICチップ10のパンプ11を第1半田層8に接続するようにしたので、第2半田層9の半田熔融処理時に第1半田層8が熔融されることを確実に防止してICチップ10のパンプ11が第半田層8内に沈み込んで傾いてしまうことのない多層プリント配線板1を実現することができる。

【0033】尚、第2半田層の形成はメッキ法に限らず、第1半田層と同様に半田ペーストを印刷して形成してもよい。このように本発明は前記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の改良、変形が可能であることは勿論である。

【0034】

【発明の効果】以上説明した通り本発明は、複数の回路パターンを相互に接続する際に層間絶縁層に形成されるフォトビアホールを利用してICチップを搭載可能とすることにより、回路パターンの高密度化を行なうことができるICチップを搭載した多層プリント配線板及びその多層プリント配線板の製造方法を提供することができ、その産業上奏する効果は大である。

【図面の簡単な説明】

【図1】多層プリント配線板の模式断面図である。

【図2】ベース基材を示す説明図である。

【図3】第1回路パターンを形成するためのメッキレジスト膜をベース基材上に塗布形成した状態を示す説明図である。

【図4】第1回路パターンを形成した状態を示す説明図である。

【図5】第1回路パターンが形成された基材上に層間絶縁層を形成した状態を示す説明図である。

【図6】層間絶縁層にフォトビアホールを形成した状態を示す説明図である。

【図7】スルーホールを形成した状態を示す説明図である。

【図8】第2回路パターンを形成するためのメッキレジスト膜を形成した状態を示す説明図である。

【図9】第2回路パターンを形成した状態を示す説明図\*

\*である。

【図10】ソルダーレジスト膜を形成した状態を示す説明図である。

【図11】半田ペーストを塗布形成した状態を示す説明図である。

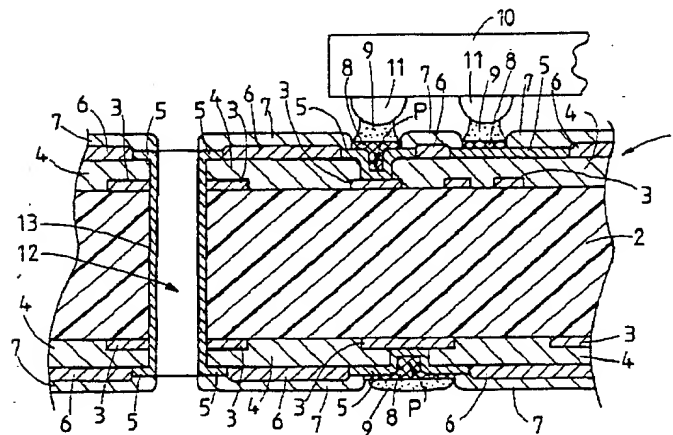
【図12】半田ペーストを固化して第1半田層を形成した後半田メッキにより第2半田層を形成した状態を示す説明図である。

【図13】半田溶融処理を行ない第2半田層を溶融してICチップの半田バンプと第1半田層とを接続した状態を示す説明図である。

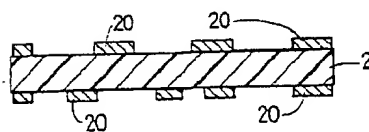
【符号の説明】

- |    |           |
|----|-----------|
| 1  | 多層プリント配線板 |
| 2  | ベース基材     |
| 3  | 第1回路パターン  |
| 4  | 層間絶縁層     |
| 5  | 第2回路パターン  |
| 8  | 第1半田層     |
| 9  | 第2半田層     |
| 10 | ICチップ     |
| 11 | 半田バンプ     |
| P  | フォトビアホール  |
| SP | 半田ペースト    |

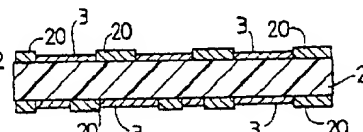
【図1】



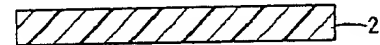
【図3】



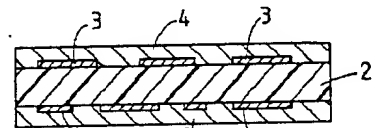
【図4】



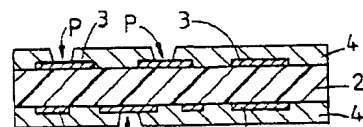
【図2】



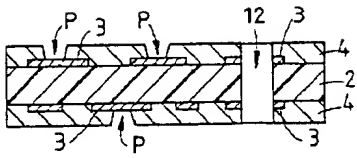
【図5】



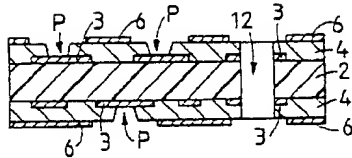
【図6】



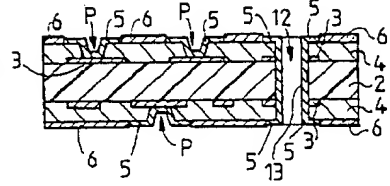
【図7】



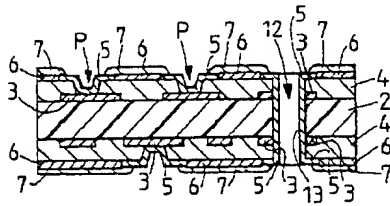
【図8】



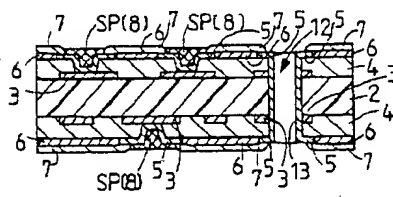
【図9】



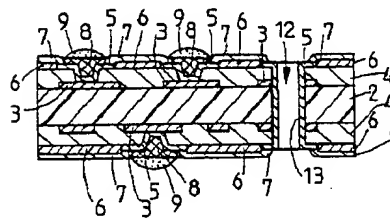
【図10】



【図11】



【図12】



【図13】

